

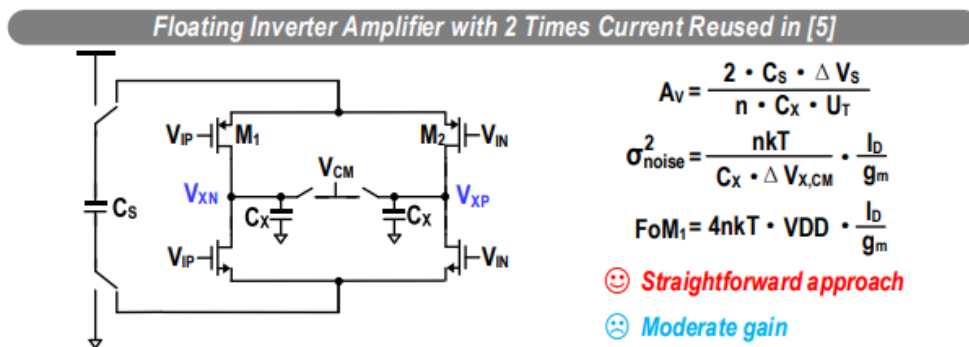
2024 IEEE CICC Review

KAIST 전기및전자공학부 박사과정 임규완

Session 12 High-Voltage and Dynamic Comparators

“High-voltage and Dynamic Comparators” 라는 주제로 만들어진 이번 CICC의 12번 session에서는 총 3편의 논문이 발표되었다 (invite 1편, regular 2편). Regular 논문으로 발표된 2편의 논문은 모두 dynamic comparator이라는 주제로 다양한 연구 결과를 제시하였는데, 각각 clock-less dynamic comparator이라는 주제와 energy-efficient low-noise dynamic comparator이라는 상세 주제를 가지고 있다. 이번 리뷰에서는 energy-efficient low-noise dynamic comparator를 주제로 가지는 12-3번 논문을 살펴보겠다.

12-3



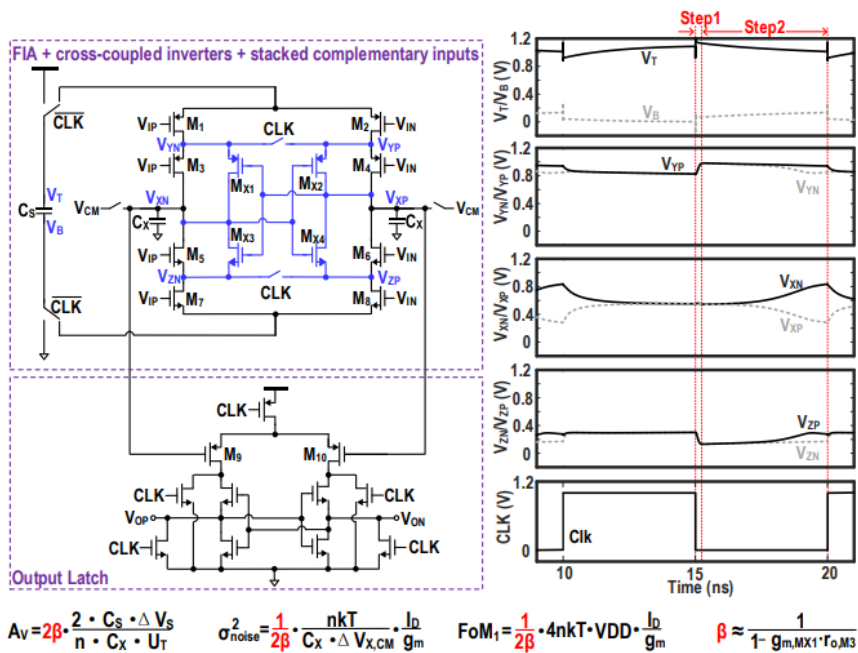
[그림 1] Floating inverter amplifier (FIA) 기반 preamp

12-3번 논문은 reference [5], [6]에서 제안된 floating inverter amplifier (FIA)를 preamp로 사용하여 전력소모를 줄이고 preamp gain을 높이는 구조를 더욱 발전시켜 input referred noise와 전력소모를 줄인 구조를 제안한다.

[그림 1]은 이전에 제안되었던 FIA 기반 preamp를 보여준다. 본 논문에서 제안하는 구조는 이 구조를 기반으로 하여 [그림 2]와 같이 preamp를 구성하였는데, 달라진 점은 크게 2가지가 있다. 먼저 제안하는 구조는 preamp의 입력 구조를 MOSFET이 두 개 쌓인

구조로 변경하여, 사용되는 current를 2배 더 재사용하여 전류를 4번 재사용하게 된다. 두 번째 달라진 점은, MX1~MX4로 구성된 positive feedback을 구성하여, M3~M6 으로 인한 signal path에 추가적으로 더 높은 gain을 가지는 signal path를 추가해 준 점이 있다.

제안하는 구조는 이전에 제시된 FIA 기반 구조 대비 current reusing으로 인해 2배의 gain을, positive feedback 구조로 인해 beta 만큼의 preamp gain을 더 얻게 된다. 이로 인해, 제안하는 구조의 gain 및 noise, FoM이 모두 2*beta만큼 향상되게 된다. 이러한 향상분에 대한 설명은 [그림 2] 아래부분의 수식에서 확인할 수 있다.



β is the gain boosting factor created by the cross-coupled inverters with positive feedback
 Fig. 2. Proposed comparator and the simulated transient waveforms with $\Delta V_{IN} = 0.05mV$ at $V_{CM} = 0.55V$ and $V_{DD} = 1.1V$.

[그림 2] 논문에서 제안하는 clocked comparator 구조

제안하는 comparator의 상세한 동작을 살펴보자. 모든 동작은 N/PMOS가 대칭적으로 동작하므로, PMOS의 동작만 설명하겠다. 제안하는 comparator의 동작은 두 개의 단계에 걸쳐 이루어진다. 첫번째 동작은 [그림 2]에 'step 1'으로 표기된 구간으로, 주로 M1/M2가 동작하는 구간이다. 이 구간에서 M3/M4는 M1/M2에 비해 작은 overdrive 전압으로 인해 출력단에 전류를 잘 전달하지 못하고, M1/M2의 동작으로 인해 VYN/VYP node가 빠른 속도로 올라가게 된다. VYN/VYP node의 움직임으로 인해 M3/M4 및 MX1/MX2가 살

아나기 시작할 무렵, 'step 2' 로 표기된 두 번째 동작 구간이 시작된다.

'step 2' 구간에서는, M3/M4 뿐만 아니라 MX1, MX2로 인해 발생하는 positive feedback 이 differential pair의 전류 차이를 더욱 증가시켜, VXN 및 VXP로 전달되는 전류의 차이를 더욱 크게 만들어 준다. 이러한 동작을 통해, preamp의 gain은 크게 증가하게 된다.

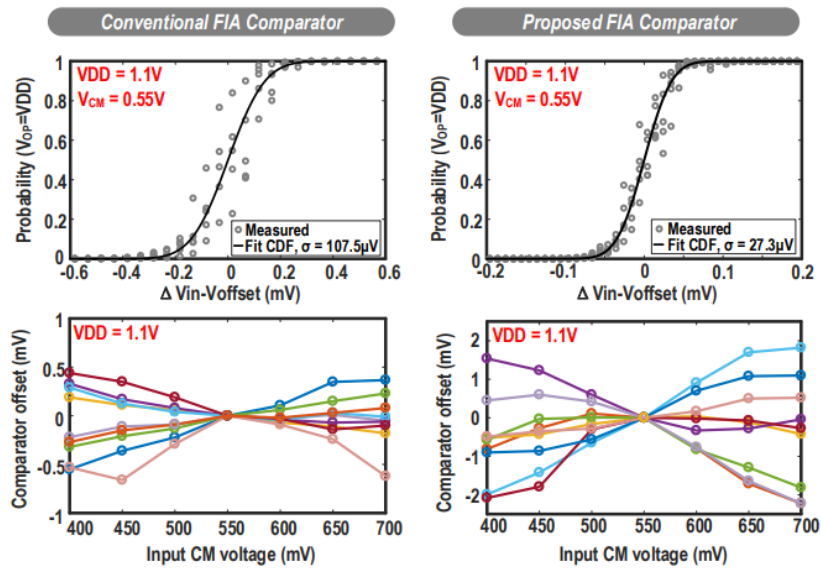


Fig. 4. Measured cumulative probability distribution of the conventional FIA comparator (with 2 times current reused) and the proposed stacked FIA comparator with cross-coupled feedback inverters; and comparator offsets from 9 samples.

[그림 3] conventional FIA comparator (그림 1)과 제안하는 comparator의 비교 측정 결과

[그림 3]은 제안하는 comparator 및 [그림 1]의 conventional comparator의 측정 결과를 보여준다. 제안하는 구조는 높은 pre-amplifier gain으로 인해 conventional 구조에 비해 더 좋은 noise 특성을 보여준다. 상세하게는, conventional과 proposed comparator의 input referred noise는 각각 107.5 μ V, 27.3 μ V이고, power consumption per comparison은 0.21pJ, 0.25pJ로, 제안하는 comparator의 전력소모 대비 좋은 noise 성능을 보여준다. 다만, 제안하는 구조의 offset은 conventional에 비해 나쁜 특성을 보여주는데, 이는 제안하는 comparator의 입력 단 MOSFET 크기가 conventional 대비 사이즈 제한으로 인해 작아져서 그렇다.

[그림 4]는 제안하는 comparator을 이전의 clocked comparator과 비교한다. 제안하는 work은 제안하는 high-gain energy-efficient FiA 구조로 인해 다른 work 대비 좋은 FoM1

(=energy x noise power) 과 FoM2 (=FoM1 x CLK-OUT delay) 성능을 보여준다.

마지막으로, 본 논문에 대해 드는 의문점을 정리해 보자면, 본 논문에서는 positive feedback을 이용하여 preamp gain을 증가시켰는데, 이러한 gain을 증가시키는 데에 M3, M4, M5, M6 MOSFET은 오히려 방해가 되는 것이 아닌가 하는 의문이 든다. 추후 저널 등에서 이러한 점에 대한 상세한 설명이 있다면 좋을 것으로 보인다.

	H. S. Bindra JSSC'18 [3]	H. S. Bindra ISSCC'22 [4]	X. Tang JSSC'20 [5]	H. Zhuang CICC'23 [6]	This Work	
Architecture	Dynamic Bias	Dynamic Bias	Standard FIA	Stacked FIA	Standard FIA	Stacked FIA
Technology (nm)	65	22	180	28	180	180
Supply Voltage (V)	1.2	0.8	1.2	0.9	1.1	1.1
Clock Frequency (MHz)	50	1000	N.R.	N.R.	100	100
Energy Per Comparison (pJ)	0.034	0.075	0.98	0.48	0.21	0.25
Noise (μ V)	400	174	46	38	107.5	27.3
CLK-OUT Delay (ns)	1.2	0.28	18	N.R.	2.44	2.06
Area (μ m ²)	125	57	9800	1600	3024	3550
FoM1 (nJ- μ V ²)	5.44	2.27	2.07	0.69	2.43	0.19
FoM2 (nJ- μ V ² -ns)	6.52	0.64	37.26	N.R.	5.9	0.38

FoM1= Energy x Noise Power

FoM2= Energy x Noise Power x CLK-OUT Delay

Fig. 6. Measurement setup for CLK-OUT delay and comparison with the state of the art.

[그림 4] comparison table

Session 13 Analog Sensor Interfaces

“Analog Sensor Interfaces” 라는 주제로 만들어진 이번 CICC의 13번 session에서는 총 4편의 논문 (invite 1편, regular 2편)이 발표되었다. Regular 논문으로 발표된 3편의 논문은 각각 low-power fast-startup MEMS gyroscope, low-noise capacitive accelerometer with self-calibration technique, highly linear sensor interface with DSM 등의 다양한 주제를 가지고 발표되었다. 이번 리뷰에서는 low-noise capacitive accelerometer with self-correction technique을 주제로 발표된 13-2번 논문을 살펴보고자 한다.

13-2

13-2번 논문은 capacitive sensor front-end를 통해 acceleration을 측정하는 sensor을 제안하였다. 특히, 이 논문에서 제시한 주요 technique은 sensor front-end의 variation으로 인해 생기는 여러 non-ideality를 순차적으로 correction 하는 technique으로, 주요한 non-ideality와 이의 원인을 잘 제시하고 각각에 대한 correction 방법 및 operating sequence 등을 제시하였다.

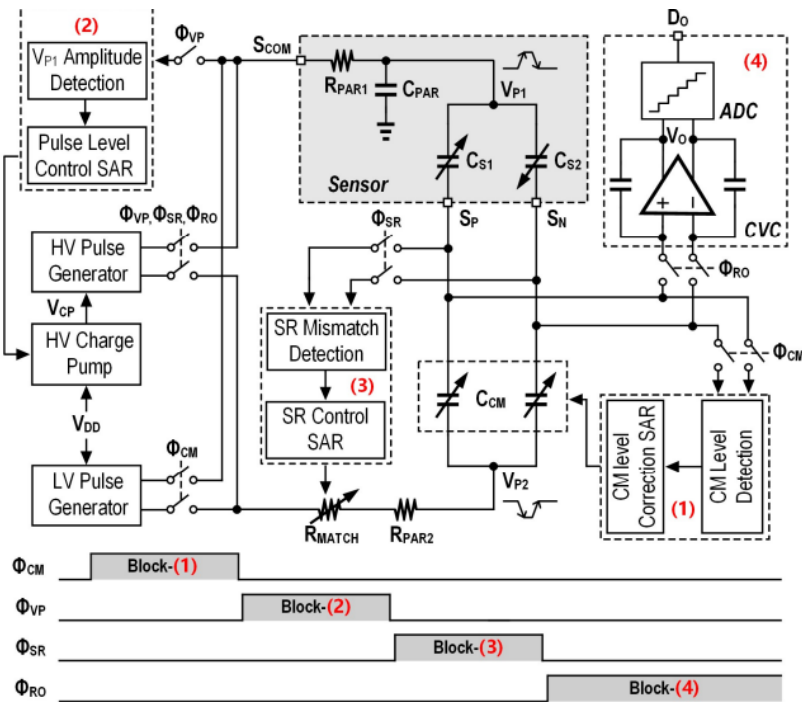


Fig. 2. Proposed interface IC using high-voltage pulse excitation for the MEMS Capacitive accelerometer.

[그림 1] 논문에서 제안하는 system 구조 및 operating sequence

[그림 1]은 논문에서 제안하는 system 구조 및 operating sequence 를 설명한다. 논문에서 제안하는 system은 sensor front-end와 주요한 4개의 block으로 구성되어 있다. 4개의 block 중 (4)는 capacitance-to-voltage conversion 및 A/D conversion 을 담당하는 block으로, 본 논문에서 주요하게 다루지 않는 부분이다. (1)~(3)이 본 논문에서 주요하게 제안하는 block 이다. (1)은 sensor front-end C_{s1} 및 C_{s2} 의 변화로 인해 common-voltage 에 생기는 변화를 common capacitor C_{cm} 을 통해 correction 하는 block 이고, (2)는 sensor front-end의 parasitic cap으로 인해 sensor driving pulse의 level이 달라지는 것을 correction 하는 block 이다. (3)은 sensor driver - capacitor 간 routing line 의

parasitic resistance 의 변화로 인해 V_{p1} 과 V_{p2} 의 slew rate 이 달라져 common 전압에 생기는 변화를 correction 하기 위한 block 이다. 각 block 의 상세한 동작은 [그림 2] 에 설명되어 있다.

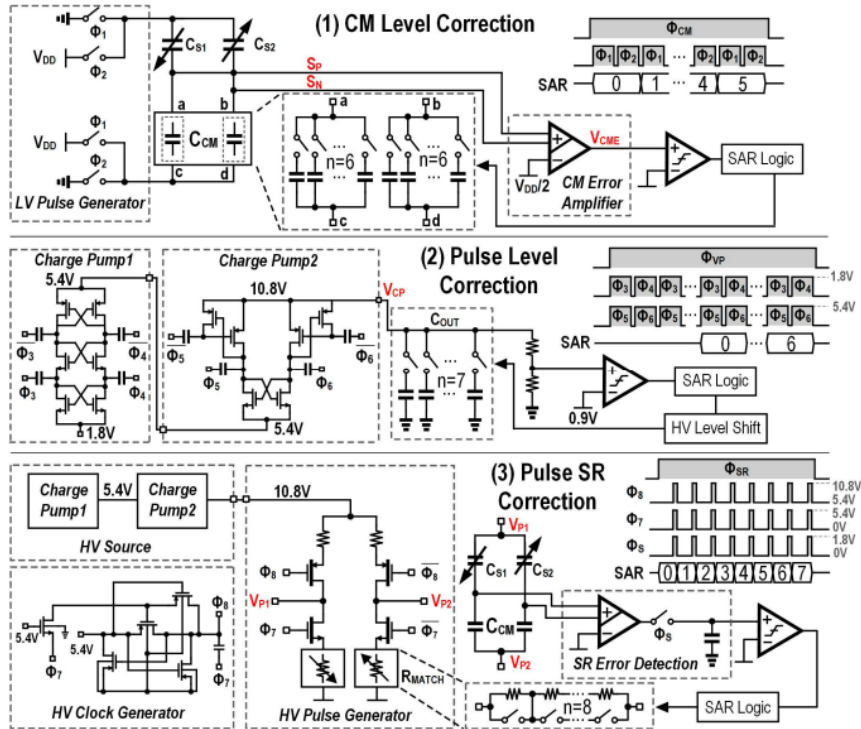


Fig. 3. Circuit implementations of the main function blocks.

[그림 2] 제안하는 correction technique

[그림 2]는 제안하는 correction technique을 보여준다. 각 technique은 capacitor 또는 resistor를 통해 common level (1) / pulse level (2) / pulse slew rate (3) 을 조절하는데, 이는 모두 동일한 방법을 사용하여 correction을 진행한다. 사용한 방법은 SAR logic을 사용하는 방법으로, 이 방법을 통해 각 correction 할 대상은 SAR ADC와 유사하게 N번 (=6~8번)의 cycle을 돌며 목표 값에 도달하게 된다.

[그림 3]은 제안하는 SAR-based correction을 통해 correction 된 값들의 측정 결과를 보여준다. 먼저, (1)을 통해 correction 된 CM level의 변화는 0.5V 에서 0.06V로 줄어들었다. 또한, (2)를 통해 pulse level의 변화는 2.3V에서 0.2V로 correction 되었고, (3)을 통해 pulse의 slew rate mismatch는 50%에서 10%로 낮아졌다. 이러한 correction을 통해 [그림 3] 오른쪽 아래에 보이는 것과 같이 slew rate mismatch로 인한 common level의 offset이 사라졌고, 이로 인한 signal leakage도 제거되었다.

[그림 2]에서 제안된 SAR 방식의 correction은 [그림 3]에서 측정 결과를 통해 적절히

동작하는 것을 증명했다. 다만, 제안된 방식에 대해 몇 가지 아쉬운 점은 다음과 같다. 먼저, 제안된 correction 방식은 너무 일반적인 방식으로, novelty가 부족하다. 두 번째로, 어떤 variation을 correction 할 때, 필요한 correction의 정확도와 variation factor가 결론적인 성능에 미치는 영향 등이 제시되어야 하는데 그러한 점이 부족하다.

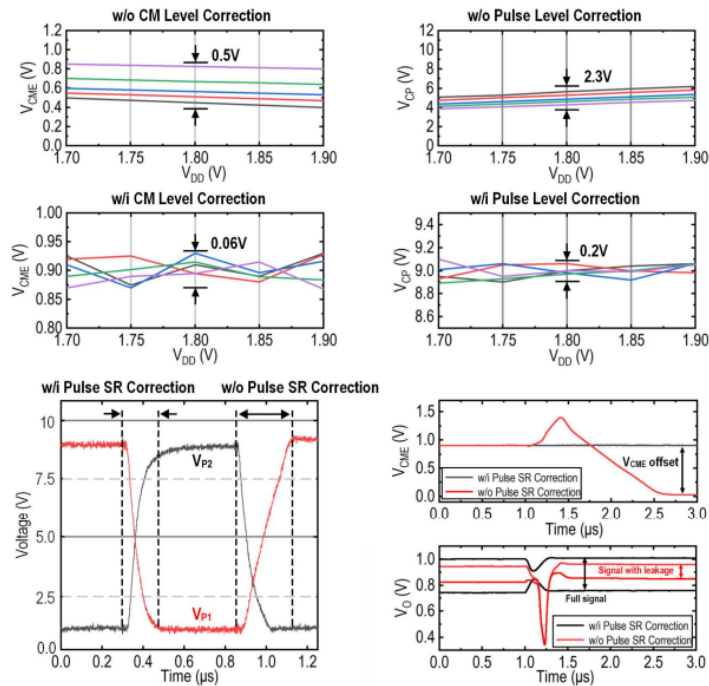


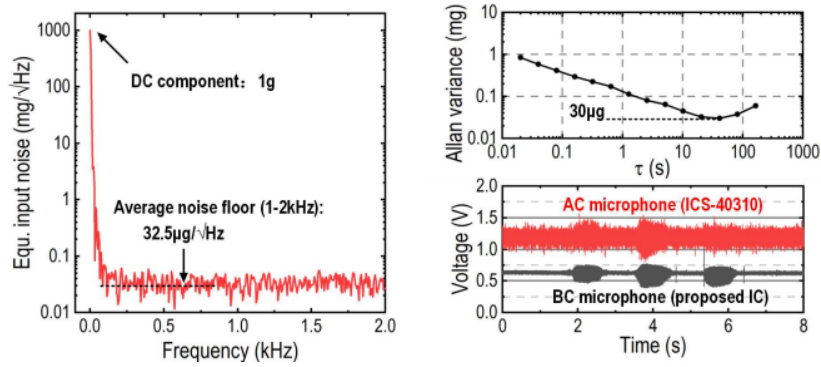
Fig. 4. Measurement results of the main function blocks.

[그림 3] correction circuit 측정 결과

[그림 4]는 제안하는 회로의 noise floor 측정 결과 및 microphone을 이용한 측정 결과와 comparison table을 보여준다. [그림 4]의 위쪽에서 볼 수 있듯이, 제안하는 회로는 높은 excitation voltage로 인해 낮은 noise floor를 달성한 것으로 보이나, 높은 excitation voltage 외에 noise가 낮아진 특별한 이유가 없어 이에 대한 설명이 추가되면 좋을 것이다. 또한, [그림 4]의 오른쪽 위에서 볼 수 있듯이, 제안하는 회로를 이용한 microphone이 conventional microphone보다 더 신호를 잘 잡아내는 것을 보여준다. 다만, 이 부분에서도 conventional microphone이나 제안하는 회로를 이용한 microphone 등에 대한 정보가 매우 부족하다.

[그림 4]의 아래에 comparison table을 보면, 제안하는 work은 낮은 면적과 낮은 noise floor를 달성하여, 면적과 전력소모, noise를 고려한 FoM 측면에서 높은 성능을 가진다. 다만, 본 논문에서 강조하는 성능과 제안하는 correction technique 사이에 연관성이 부족

해 보이며, 이의 연관성이 좀 더 설명되면 본 논문에서 제시한 technique의 필요성이 조금 더 강조될 것으로 보인다.



	ISSCC'19 [1]	JSSC'20 [2]	JSSC '23 [3]	JSSC'20 [4]	JSSC'17 [5]	This work
Process	0.13μm, 0.35μm	0.18μm	0.18μm	0.18μm	0.35μm	0.18μm
Supply voltage (V)	1.4/1.8/12	1	1.8	1.8	1.5	1.8
Power (μW)	1/000	0.252	216	81	2/00	80
Input range (g)	±0.55	±5	±6	±8	±30	±4.5
Input bandwidth (Hz)	400	50	10000	10000	20	2000
Noise floor (μg/√Hz)	0.022	290	81	900	1	32.5
Sensor size (mm ²)	49	6.76	0.64	0.18	20	0.64
FoM* (μW·μg·mm ² /Hz)	916.3	69.9	112.0	131.2	12074.7	37.2

$$*FoM = \frac{\text{Power} \times \text{Noise floor} \times \text{Sensor size}}{\sqrt{BW}}$$

[그림 4] noise / demo measurement & comparison table

저자정보



명예기자 임규완

- 소 속 : KAIST 전기및전자공학과 박사과정
- 연구분야 : Display Driver IC, Readout IC
- 이 메 일 : limkw@kaist.ac.kr
- 홈페이지 : <https://ICdesignlab.net>

2024 IEEE CICC Review

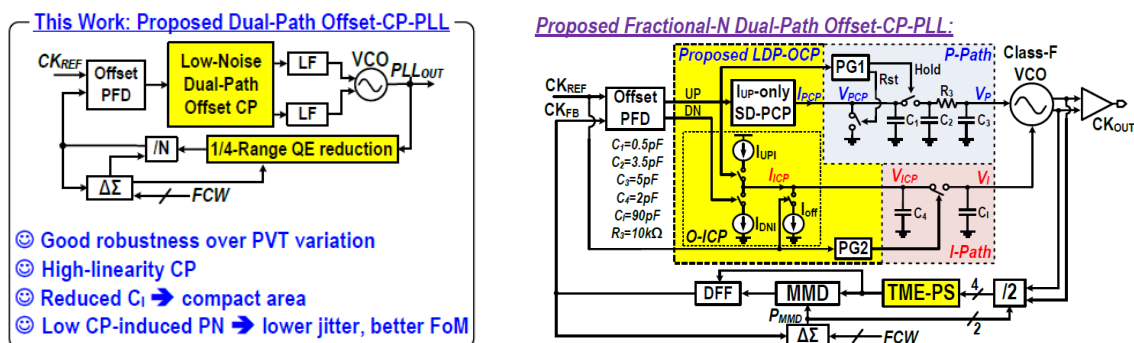
경북대학교 전자전기공학부 박사과정 여성일

Session 33. Timing References

이번 CICC 2024 의 Session 33 에서는 Timing References 라는 주제로 총 3 편의 논문이 발표되었다. RC Oscillator 와 PLL, RC Frequency Reference 에 대한 연구가 소개되었다.

33-1

이 논문은 Chinese Academy of Sciences에서 발표한 논문으로, high-speed transceiver나 data converter에 사용되는 low jitter fractional-N (FN) phase-locked loop (PLL)에 관련된 논문이다. 기존의 회로들은 낮은 jitter를 달성하였지만 PVT 변동에 민감하거나 in-band phase noise (PN)가 있다는 단점이 있었다. 그림 4에서 볼 수 있듯이 이를 해결하기 위해 이 논문에서는 dual-path topology를 사용하여 in-band PN과 면적을 줄였고 timing-margin-enhanced phase switch (TME-PS)를 도입하여 선형성과 CP-noise를 줄일 수 있었다.

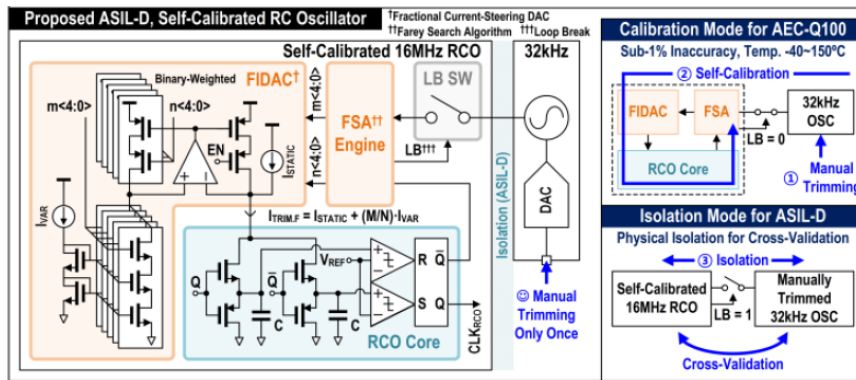


[그림 4] 제안하는 구조의 Conceptual diagram과 Architecture

33-2

이 논문은 KAIST 에서 발표한 논문으로, 자동차의 AEC-Q100 Grade 0 및 ASIL-D 표준을 충족하는 RC Oscillator를 소개하고 있다. 이 표준들을 통과하기 위해서는 넓은 온도 범위

에서 1% 이하의 부정확도를 달성해야한다. 기존 회로들은 이를 위해 high-bit, multi-point trimming을 도입하였는데 이러한 방식은 비용적인 측면에서 문제가 된다. 이 논문은 Farey search algorithm (FSA)-based calibration를 사용하여 수동 trimming 없이 self-calibration를 통해 -40°C에서 150°C의 넓은 온도 범위에서 1% 미만의 부정확도를 보여주고 있다.



[그림 5] 제안하는 구조의 동작 원리와 Die photo

33-3

이 논문은 Shanghai Jiao Tong University 에서 발표한 논문으로, RC Frequency Reference 에 관련된 논문이다. 기존의 RC Frequency Reference 는 온도 변화에 따른 영향을 줄이기 위해 복잡한 기술들이 필요로 하였다. 이 논문에서는 modulated capacitor 를 이용하여 온도 변화에 따른 영향을 없애고 die-to-die error removal technique 또한 사용하여 성능을 개선할 수 있었다.

저자정보



명예기자 여성일

- 소 속 : 경북대학교 전자전기공학부 박사과정
- 연구분야 : DC-DC Converter
- 이 메 일 : sungil1020@knu.ac.kr
- 홈페이지 : <https://sites.google.com/view/icslab>